

物理層デバイスのテスト方法、テスト回路付き物理層デバイス、および  
テスト回路付き送受信回路

本発明は、物理層デバイスのテスト方法、テスト回路を有するテスト回路付き物理層デバイス、およびテスト回路を有するテスト回路付き送受信回路に関し、例えば IEEE 1394 インターフェースの物理層デバイス（物理層チップ）などに適用されるものである。

従来、物理層デバイスとしては、例えば I E E E 1 3 9・4 インターフェイスの物理層デバイス知られ、これは例えば図 5 に示すように概略構成されている。

すなわち、この物理層デバイス 1 は、リンク層インターフェース 2、物理層ロジック回路 3、3つのポート 4～6 からなり、これにより 1つのデバイスを形成している。

このような物理層デバイス 1 において、出荷の際などにおいて、IEEE 1394 規格で決められている各規格を満足するか否かのテストをする必要がある。

このテストの場合には、図 5 に示すように、物理層デバイス 1 と接続されるリンク層デバイス 7 の他に、相手となる物理層デバイス 8 およびリンク層デバイス 9 が必要となる。

このため、テスト時には、物理層デバイス 1 のリンク層インターフェース 2 は、リンク層デバイス 7 の物理層インターフェース 10 に接続さ

れるとともに、物理層デバイス1のポート4～6は、相手の物理層デバイス8のポート4～6とケーブル11でそれぞれ接続される。さらに、物理層デバイス8のリンク層インターフェース2は、リンク層デバイス9の物理層インターフェース10に接続される。

このように、従来、物理層デバイス1において、IEEE1394規格で決められている各規格をテストするような場合には、物理層デバイス1と接続されるリンク層デバイス7の他に、相手となる物理層デバイス8およびリンク層デバイス9が必要となる。このため、特殊な環境でテストを行う必要があり、テスト時間の増加やテスト費用の増大を招くというような不都合があった。

次に、従来からのIEEE1394インターフェースの物理層デバイスの具体的な構成の一例を図12に示す。

この物理層デバイスは、他のIEEE1394と接続するために3つのケーブルポート（以下、ポートという）101～103を備えている。ポート101には、ツイストペア線TPA上にデータを送出するドライバ104と、ツイストペア線TPA上のデータを受信するレシーバ105と、ツイストペア線TPB上にデータを送出するドライバ106と、ツイストペア線TPB上のデータを受信するレシーバ107とを備えている。同様に、ポート102、103もドライバ104、レシーバ105、ドライバ106、およびレシーバ107を備えている。

各ポート101～103の各ドライバ104、106には、上位層からのパケットが送信データエンコーダ108でエンコードされたデータが入力されるようになっている。また、各ポート101～103の各レシーバ105、107が受信したデータは、受信データデコーダ109でデコードされるようになっている。

なお、図12に示す物理層デバイスは、上記の構成要素以外に、接続

**06-1987-0501**

しかし、従来のテスト方法では、IEEE 1394規格に準じた所定のシーケンスが必要であるために、テスター上に別のIEEE 1394システムが必要となり、特殊なテスト環境となっている。

本発明は、かかる背景の下になされたものであり、物理層デバイスのテストをそれ単体でできるようにし、テスト時間の短縮化、テスト費用の低減化ができるようにした物理層デバイスのテスト方法及びテスト回路付き物理層デバイスを提供することを目的とする。

## 発明の開示

3

層インターフェースの相手となるテスト用リンク層回路と、前記物理層ロジック回路の相手となるテスト用物理層ロジック回路とを内部に予め設けておき、テスト時に、前記テスト用リンク層回路を、前記リンク層インターフェースを介して前記物理層ロジック回路と接続し、かつ、前記テスト用物理層ロジック回路を、前記複数のポートを経由して前記物理層ロジック回路に接続し、前記リンク層インターフェース、前記物理層ロジック回路、および前記複数のポートのテストを行うようにしたことを特徴とする物理層デバイスのテスト方法を提供する。

このようなテスト方法からなる発明では、物理層デバイスのテストが物理層デバイス単体でできるので、テストが容易となり、テスト時間の短縮化、テスト費用の低減化を実現することができる。

また、本発明は、リンク層インターフェースと、このリンク層インターフェースと接続される物理層ロジック回路と、この物理層ロジック回路に接続される複数のポートとを備えた物理層デバイスにおいて、テスト時に、前記リンク層インターフェースを介して前記物理層ロジック回路と接続し、その物理層ロジック回路との間で所定のデータの授受を行うテスト用リンク層回路と、テスト時に、前記複数のポートを介して前記物理層ロジック回路と接続し、その物理層ロジック回路との間で所定のデータの授受を行うテスト用物理層ロジック回路と、を備えたことを特徴とするテスト回路付き物理層デバイスを提供する。

このような構成からなる本発明のテスト回路付き物理層デバイスでは、テスト時には、テスト用リンク層回路は、リンク層インターフェースを介して物理層ロジック回路と接続し、その物理層ロジック回路との間で所定のデータの授受を行う。テスト用物理層ロジック回路は、複数のポートを介して接続し、物理層ロジック回路との間で所定のデータの授受を行う。このため、リンク層インターフェース、物理層ロジック回路、

および複数のポートの所定のテストが実現できる。

従って、本発明のテスト回路付き物理層デバイスでは、物理層デバイスのテストを物理層デバイス単体でできるので、テストが容易となり、テスト時間の短縮化、テスト費用の低減化を実現することができる。

本発明のテスト回路付き物理層デバイスの実施態様として、前記リンク層インターフェースは、外部のリンク層デバイスまたは前記テスト用リンク層回路と選択的に接続できるスイッチを含み、

前記複数のポートのうちの所定のポートは、前記物理層ロジック回路または前記テスト用物理層ロジック回路と選択的に接続できるスイッチを含んでいることを特徴とするテスト回路付き物理層デバイスが挙げられる。

このような構成からなる本発明のテスト回路付き物理層デバイスでは、リンク層インターフェースが、外部のリンク層デバイスまたはテスト用リンク層回路と選択的に接続できる。このため、本発明にかかるテスト回路付き物理層デバイスは、試作品のみならず実際の製品に適用できる。

さらに、本発明は、ドライバとレシーバとを少なくとも1組備えた送受信回路において、前記ドライバが送信するテストデータを記憶するテストデータ記憶手段と、前記レシーバが前記ドライバから送信される前記テストデータを受信したときに、その受信テストデータと前記テストデータ記憶手段に記憶されている前記テストデータとを比較する比較手段と、を備えたことを特徴とするテスト回路付き送受信回路を提供する。

本発明のテスト回路付き送受信回路の実施態様として、前記受信テストデータを記憶する受信用記憶手段を設け、かつ、前記比較手段は、前記受信用記憶手段に記憶された受信テストデータと前記テストデータ記憶手段に記憶されている前記テストデータとを比較するようにしたことを特徴とするテスト回路付き送受信回路が挙げられる。

本発明のテスト回路付き送受信回路の実施態様として、前記テストデータ記憶手段と前記受信用記憶手段とはそれぞれレジスタで構成し、この両レジスタは同一のクロックで同期動作するようにしたことを特徴とするテスト回路付き送受信回路が挙げられる。

このような構成からなる本発明のテスト回路付き送受信回路では、テスト時には、ドライバにテストデータが入力されると同時に、そのテストデータはテストデータ記憶手段に記憶される。ドライバから送信されるテストデータはレシーバで受信され、比較手段は、その受信テストデータとテストデータ記憶手段に記憶されているテストデータとを比較する。比較手段の比較結果は、モニタで監視される。

従って、本発明のテスト回路付き送受信回路では、送受信回路のテストを、特殊なテスト環境で行う必要がなくなってテスト時間を短縮でき、もって、テストコストや製造費用の低減が実現できる。

さらに、本発明は、1組の第1ドライバおよび第1レシーバと、他の1組の第2ドライバおよび第2レシーバとを少なくとも備えた送受信回路において、前記第1ドライバが送信するテストデータを記憶するテストデータ記憶手段と、前記第1レシーバおよび前記第2レシーバが、前記第1ドライバから送信される前記テストデータをそれぞれ受信したときに、その各受信テストデータと前記テストデータ記憶手段に記憶されている前記テストデータとをそれぞれ比較する比較手段と、を備えたことを特徴とするテスト回路付き送受信回路を提供する。

本発明のテスト回路付き送受信回路の実施態様として、前記第1レシーバの受信テストデータを記憶する第1受信用記憶手段と、前記第2レシーバの受信テストデータを記憶する第2受信用記憶手段とを設け、かつ、前記比較手段は、前記第1受信用記憶手段に記憶された受信テストデータと前記テストデータ記憶手段に記憶されているテストデータとを

比較する第 1 比較手段と、前記第 2 受信用記憶手段に記憶された受信テストデータと前記テストデータ記憶手段に記憶されているテストデータとを比較する第 2 比較手段と、からなることを特徴とするテスト回路付き送受信回路が挙げられる。

本発明のテスト回路付き送受信回路の実施態様として、前記テストデータ記憶手段、前記第 1 受信用記憶手段、および前記第 2 受信用記憶手段はそれぞれレジスタで構成し、これらのレジスタは同一のクロックで同期動作するようにしたことを特徴とするテスト回路付き送受信回路が挙げられる。

このような構成からなる本発明のテスト回路付き送受信回路では、テストに先立って、第 1 ドライバと第 2 レシーバとが外部の結線により接続される。テスト時には、第 1 ドライバにテストデータが転送されると同時に、そのテストデータはテストデータ記憶手段に記憶される。第 1 ドライバから送信されるテストデータは、第 1 レシーバおよび第 2 レシーバにそれぞれ受信される。比較手段は、その各受信テストデータとテストデータ記憶手段に記憶されているテストデータとを、それぞれ比較する。比較手段の比較結果は、モニタで監視される。

従って、本発明のテスト回路付き送受信回路では、送受信回路のテストを、特殊なテスト環境でテストを行う必要がなくなってテスト時間を短縮でき、もって、テストコスト及び製造費用の低減が実現できる。

さらに、本発明は、1 組の第 1 ドライバおよび第 1 レシーバと、他の 1 組の第 2 ドライバおよび第 2 レシーバとを少なくとも備えた送受信回路において、テストデータを記憶するテストデータ記憶手段と、前記テストデータを前記第 1 ドライバまたは前記第 2 ドライバに入力するのを選択する選択手段と、前記第 1 レシーバおよび前記第 2 レシーバが、前記第 1 ドライバから送信される前記テストデータをそれぞれ受信したと

きに、その各受信テストデータと前記テストデータ記憶手段に記憶されている前記テストデータとをそれぞれ比較する一方、前記第2レシーバが、前記第2ドライバから送信される前記テストデータを受信したときに、その受信テストデータと前記テストデータ記憶手段に記憶されている前記テストデータとを比較する比較手段と、を備えたことを特徴とするテスト回路付き送受信回路を提供する。

本発明のテスト回路付き送受信回路の実施態様として、前記第1レシーバの受信テストデータを記憶する第1受信用記憶手段と、前記第2レシーバの受信テストデータを記憶する第2受信用記憶手段とを設け、かつ、前記比較手段は、前記第1受信用記憶手段に記憶された受信テストデータと前記テストデータ記憶手段に記憶されているテストデータとを比較する第1比較手段と、前記第2受信用記憶手段に記憶された受信テストデータと前記テストデータ記憶手段に記憶されているテストデータとを比較する第2比較手段と、からなることを特徴とするテスト回路付き送受信回路が挙げられる。

本発明のテスト回路付き送受信回路の実施態様として、前記テストデータ記憶手段、前記第1受信用記憶手段、および前記第2受信用記憶手段はそれぞれレジスタで構成し、これらのレジスタは同一のクロックで同期動作するようにしたことを特徴とするテスト回路付き送受信回路が挙げられる。

このような構成からなる本発明のテスト回路付き送受信回路では、テストに先立って、第1ドライバと第2レシーバとが外部の結線により接続される。テスト時には、選択手段により第1ドライバにテストデータが入力されると同時に、そのテストデータはテストデータ記憶手段に記憶される。第1ドライバから送信されるテストデータは、第1レシーバおよび第2レシーバにそれぞれ受信される。比較手段は、その各受信テ



ストデータとテストデータ記憶手段に記憶されているテストデータとを、それぞれ比較する。比較手段の比較結果は、モニタで監視される。

次に、そのテストデータ記憶手段に記憶されるテストデータが、選択手段により第2ドライバにテストデータが入力される。第2ドライバから送信されるテストデータは、第2レシーバで受信される。比較手段は、その受信テストデータとテストデータ記憶手段に記憶されているテストデータとを比較する。比較手段の比較結果は、モニタで監視される。

従って、本発明のテスト回路付き送受信回路では、送受信回路のテストを、特殊なテスト環境でテストを行う必要がなくなってテスト時間を短縮でき、もって、テストコスト及び製造費用の低減が実現できる。

さらに、本発明のテスト回路付き送受信回路の実施態様として、前記送受信回路は、IEEE 1394インターフェースの物理層デバイスであることを特徴とするテスト回路付き送受信回路が挙げられる。

#### 図面の簡単な説明

図1は、本発明のテスト回路付き物理層デバイスの実施形態を、IEEE 1394インターフェースの物理層デバイスに適用した場合のブロック図である。

図2は、物理層ロジック回路の具体的な構成例を示すブロック図である。

図3は、テスト用リンク層回路の構成例を示すブロック図である。

図4は、テスト用物理層ロジック回路の具体的な構成例を示すブロック図である。

図5は、従来技術の説明図である。

図6は、本発明のテスト回路付き送受信回路の第1実施形態を、IEEE 1394インターフェースの物理層デバイスに適用したブロック図

である。

図 7 は、その第 1 実施形態のテスト回路の詳細を示すブロック図である。

図 8 は、本発明のテスト回路付き送受信回路の第 2 実施形態を、I E E 1 3 9 4 インターフェースの物理層デバイスに適用したブロック図である。

図 9 は、その第 2 実施形態のテスト回路の詳細を示すブロック図である。

図 1 0 は、本発明のテスト回路付き送受信回路の第 3 実施形態を、I E E E 1 3 9 4 インターフェースの物理層デバイスに適用したブロック図である。

図 1 1 は、本発明のテスト回路付き送受信回路の第 4 実施形態を、I E E E 1 3 9 4 インターフェースの物理層デバイスに適用したブロック図であり、その物理層デバイスの一部を示している。

図 1 2 は、従来の I E E E 1 3 9 4 インターフェースの物理層デバイスの具体的な構成の一例を示すブロック図である。

#### 発明を実施するための最良の形態

本発明の物理層デバイスのテスト方法及びテスト回路付き物理層デバイスの実施形態について、図 1 ～図 4 を参照して説明する。

図 1 は、実施形態にかかるテスト回路付き物理層デバイスを、I E E E 1 3 9 4 インターフェースの物理層デバイスに適用したブロック図である。

この物理層デバイス 2 1 は、図 1 に示すように、リンク層インターフェース 2、物理層ロジック回路 3、およびポート 4 ～ 6 の他に、リンク層インターフェース 2、物理層ロジック回路 3、およびポート 4 ～ 6 の

所定の動作をテストするために、テスト用リンク層回路 2 2、テスト用物理層ロジック回路 2 3、およびセレクト用のスイッチ 2 4～2 6 を内部に予め備えている。

リンク層インターフェース 2 は、外部のリンク層デバイス、またはテスト用リンク層回路 2 2 との間で所定のデータの授受を行うようになっている。

物理層ロジック回路 3 は、ポート 4～6 を介して外部またはテスト用物理層ロジック回路 2 3 と所定のデータの授受を行うとともに、その際に、送信データのエンコード、受信データのデコード、またはデータ送受信の際の調停などを行うようになっている。

各ポート 4～6 は、図示しないが、データを送信するドライバと、データを受信するレシーバからなっている。ポート 4 は、物理層ロジック回路 3 に常時接続されている。ポート 5、6 は、スイッチ 2 5、2 6 により通常は物理層ロジック回路 3 側に接続され、テスト時には、スイッチ 2 5、2 6 の切り換えによりテスト用物理層ロジック回路 2 3 に接続されるようになっている。

テスト用リンク層回路 2 2 は、図 5 に示すリンク層デバイス 7 に相当し、テスト時に、リンク層インターフェース 2 を介して物理層ロジック回路 3 と接続し、後述のようなテスト動作を行うようになっている。

テスト用物理層ロジック回路 2 3 は、図 5 に示す物理層デバイス 8 に相当し、テスト時に、ポート 4～6 を介して物理層ロジック回路 3 と接続し、後述のようなテスト動作を行うようになっている。

スイッチ 2 4 は、切換え自在な接点を有し、通常はその接点が図 1 の位置にあり、テスト動作の場合にはテスト用リンク層回路 2 2 からの制御信号により図 1 の位置から反対側に切り換わるようになっている。

スイッチ 2 5、2 6 は、切換え自在な接点を有し、通常はその接点が

09671596-# 010001

この物理層ロジック回路 3 は、図 2 に示すように、ステートマシン 3 1、パケットコントローラ 3 2、レジスタ 3 3、セクタ 3 4、エンコーダ回路 3 5、デコーダ回路 3 6、ポートコントローラ 3 7、ポートステートマシン 3 8 を備えている。

エンコーダ回路 35 は、送信データをエンコードして各ポート 4 ~ 6 の各ドライに供給するようになっている。デコーダ回路 36 は、各ポート 4 ~ 6 の各レシーバが受信した受信データをデコードするようになっている。ポートコントローラ 37 は、各ポート 4 ~ 6 の送受信を制御するようになっている。ポートステートマシン 38 は、各ポート 4 ~ 6 の調停を行うようになっている。

このテスト用リンク層回路 22 は、図 3 に示すように、テスト回路 41 と物理層インターフェース 42 とからなる。テスト回路 41 は、テストの際に、所定の packets を生成し、この packets を利用して所定の手順で物理層ロジック回路 3 との間でデータの授受を行うようになっている。従って、テスト回路 41 は、そのテストの内容に応じてその構成が

0367196 05001

このテスト用物理層ロジック回路 23 は、図 4 に示すように、その構成が図 2 に示す物理層ロジック回路 3 の構成と基本的に同一であり、テスト・シーケンス回路 51 を含む点が異なる。

なお、他の部分の構成は図 2 と同一であるので、同一の部分には同一符号を付してその説明は省略する。

まず、テストに先立って、図 1 に示すように、ポート 4 ~ 6 の各外部  
接続端子をケーブル 27 により外部接続する。

その後、テスト用リンク層回路 22 のテスト回路 41 が動作を開始する。すなわち、テスト回路 41 は、所定の packets を生成し、この packets に基づいて所定の信号の授受を物理層ロジック回路 3 との間で行う（図 3 参照）。例えば、この信号としては、IEEE 1394 規格に規

定されているリンクリクエスト信号  $LReq$ 、ステータス信号、イベント信号などがある。そして、これらの各信号を外部に適宜手段で取り出してモニタすることにより、リンク層インタフェース 2 および物理層ロジック回路 3 の動作の良否を判断する。

一方、テスト用物理層ロジック回路 2 3 も動作を開始する。すなわち、テスト用物理層ロジック回路 2 3 のテスト・シーケンス回路 5 1 は、テスト用物理層ロジック回路 2 3 の各部がポート 5、6 のドライバに供給すべき送信データを生成するとともに、各部がポート 5、6 の受信データを処理するように、所定の手順で各部を制御する。このため、物理層ロジック回路 3 とテスト用物理層ロジック回路 2 3 とは、ポート 4～6 を介してデータの授受を行う。

そして、例えば、物理層ロジック回路 3 からの送信データとテスト用物理層ロジック回路 2 3 の受信データを適宜手段で外部に取り出してモニタするとともに、テスト用物理層ロジック回路 2 3 からの送信データと物理層ロジック回路 3 の受信データを適宜手段で外部に取り出してモニタすることにより、物理層ロジック回路 3 およびポート 4～6 の動作の良否を判断する。

以上説明したように、この実施形態によれば、物理層デバイス 2 1 単体で所定のテストが実現できるので、テストが容易となって、テスト時間の短縮化、テスト費用の低減化を実現することができる。

また、この実施形態によれば、リンク層インターフェース 2 が、外部のリンク層デバイスまたはテスト用リンク層回路 2 2 とスイッチ 2 4 により選択的に接続できる。このため、物理層デバイス 2 1 は、試作品のみならず実際の製品に適用できる。

なお、上記の実施形態では、物理層デバイス 2 1 は、スイッチ 2 4 を含む場合について説明したので、物理層デバイス 2 1 は、試作品のみな

ず実際の製品にも適用できる。しかし、本発明は、試作品のみに適用することも可能であり、この場合には、スイッチ 24 を省略できる。

次に、本発明のテスト回路付き送受信回路の第 1 実施形態について、図 6 および図 7 を参照して説明する。

図 6 は、第 1 実施形態のテスト回路付き送受信回路を、IEEE 1394 インターフェースの物理層デバイスに適用した場合のブロック図である。

この物理層デバイス 11 は、図 6 に示すように、他の IEEE 1394 機器と接続してデータの送受信を行うための 3 つのポート 101 ~ 103 を備え、各ポート 101 ~ 103 は、エンコーダ回路 121、122 およびデコーダ回路 123 の他に、自己のポートの動作を後述のようにテストするための第 1 テスト回路 124 および第 2 テスト回路 125 を備えている。従って、テスト回路 124、125 は、通常動作には使用されず、テスト動作にのみ使用される。

ポート 101 は、データを送信するドライバ（第 1 ドライバ）104 と、データを受信するレシーバ（第 1 レシーバ）105 とを備えこれらが一対となり、データを送信するドライバ（第 2 ドライバ）106 と、データを受信するレシーバ（第 2 レシーバ）107 とを備えこれらが一対となっている。

ドライバ 104 は、その入力側がエンコーダ回路 121 および第 1 テスト回路 124 にそれぞれ接続され、その出力側がレシーバ 105 の入力側と接続されるとともにツイストペア線（TPA）に接続されるようになっている。レシーバ 105 は、その入力側がドライバ 104 の出力側と接続され、その出力側がデコーダ回路 123 および第 1 テスト回路 124 にそれぞれ接続されている。

さらに、ドライバ 106 は、その入力側がエンコーダ回路 122 およ

び第2テスト回路125にそれぞれ接続され、その出力側がレシーバ107の入力側と接続されるとともにツイストペア線(TPB)に接続されるようになっている。レシーバ107は、その入力側がドライバ106の出力側と接続され、その出力側がデコーダ回路123および第2テスト回路125にそれぞれ接続されている。

ポート102、103は、図6に示すようにポート101と同様に構成するので、同一の構成要素には同一の符号を付してその説明は省略する。

なお、図6に示す物理層デバイス111は、上記の構成要素以外に、接続機器との調停を行う回路や、リンク層デバイスとのインタフェース回路などを含むが、図6ではそれらの回路は省略されている。

次に、第1テスト回路124および第2テスト回路125の詳細な構成について、図7を参照して説明する。

第1テスト回路124は、テスト時にエンコーダ回路121から出力されるテストデータを記憶するテストデータ記憶手段としてのレジスタ241と、テスト時にレシーバ105が受信したテストデータを記憶する受信用記憶手段としてのレジスタ242と、テスト時にレジスタ242に記憶される受信テストデータをレジスタ241に記憶されるテストデータと比較する比較器(コンパレータ)243とを備え、比較器243の出力信号が外部に出力されてモニタされるようになっている。

レジスタ241とレジスタ242とは、同一のクロックCLKにより同期動作するようになっている。また、レジスタ241、242には、有効データが送信されているときにアサートされる信号StartTmがエンコーダ回路121から供給されている。レジスタ242は、その信号StartTmがアサート後に、ドライバ104およびレシーバ105の遅延時間を経過後に、データ保持を行うようになっている。



第2テスト回路125は、テスト時にエンコーダ回路122から出力されるテストデータを記憶するレジスタ251と、テスト時にレシーバ107が受信したテストデータを記憶するレジスタ252と、テスト時にレジスタ252に記憶される受信テストデータをレジスタ251に記憶されるテストデータと比較する比較器253とを備え、比較器253の出力信号が外部に出力されてモニタされるようになっている。

レジスタ251とレジスタ252とは、同一のクロックCLKにより同期動作するようになっている。また、レジスタ251、252には、有効データが送信されているときにアサートされる信号StartTmがエンコーダ回路122から供給されている。レジスタ252は、その信号StartTmがアサート後に、ドライバ106およびレシーバ107の遅延時間を経過後に、データ保持を行うようになっている。

次に、このような構成からなる第1実施形態にかかる第1テスト回路124および第2テスト回路125がポート101をテストする場合の動作について、図7を参照して説明する。

まず、エンコーダ回路121に外部からパケットデータが入力されると、そのパケットデータはエンコードされてエンコーダ回路121からはテストデータが出力され、このテストデータは、ドライバ104に転送されるとともにレジスタ241に記憶される。ドライバ104に入力されたテストデータは、ドライバ104で差動信号に変換されて出力される。この差動信号は、レシーバ105で受信されて元のテストデータに変換され、そのテストデータがレジスタ242に記憶される。

比較器243は、レジスタ242に記憶された受信テストデータをレジスタ241に記憶されているテストデータと比較し、その比較結果にかかる出力信号を外部に出力する。その比較回路243からの出力信号をモニタすることにより、ドライバ104やレシーバ105の動作の良

否を判別できる。

一方、エンコーダ回路 1 2 2 に外部からパケットデータが入力されると、そのパケットデータはエンコードされてエンコーダ回路 1 2 2 からテストデータが出力され、そのテストデータは、ドライバ 1 0 6 に転送されるとともにレジスタ 2 5 1 に記憶される。ドライバ 1 0 6 に入力されたテストデータは、ドライバ 1 0 6 で差動信号に変換されて出力される。この差動信号は、レシーバ 1 0 7 で受信されて元のテストデータに変換され、そのテストデータがレジスタ 2 5 2 に記憶される。

比較器 2 5 3 は、レジスタ 2 5 2 に記憶された受信テストデータをレジスタ 2 5 1 に記憶されているテストデータと比較し、その比較結果にかかる出力信号を外部に出力する。その比較回路 2 5 3 からの出力信号をモニタすることにより、ドライバ 1 0 6 やレシーバ 1 0 7 の動作の良否を判別できる。

以上の動作は、ポート 1 0 1 にかかるテスト動作であるが、他のポート 1 0 2、1 0 3 にかかるテスト動作もそれと同様であるので、その説明は省略する。

以上説明したように、この 1 実施形態によれば、第 1 テスト回路 1 2 4 によりドライバ 1 0 4 やレシーバ 1 0 5 の動作の良否が短時間に判別できるとともに、第 2 テスト回路 1 2 5 によりドライバ 1 0 6 やレシーバ 1 0 7 の動作の良否が短時間に判別できる。

従って、このテスト回路によれば、物理層デバイス 1 1 1 のポート 1 0 1 ~ 1 0 3 のテストを、特殊なテスト環境で行う必要がなくなってテスト時間を短縮でき、もって、物理層デバイス 1 1 1 のテストコスト及び製造費用の低減が実現できる。

次に、本発明のテスト回路付き送受信回路の第 2 実施形態について、図 8 および図 9 を参照して説明する。

図 8 は、第 2 実施形態のテスト回路付き送受信回路を、IEEE 1394 インターフェースの物理層デバイス 111A に適用したブロック図である。

この物理層デバイス 111A は、図 6 に示す物理層デバイス 111 における各ポート 101 ~ 103 の第 1 テスト回路 124 と第 2 テスト回路 125 を、図 8 に示すように第 1 テスト回路 134 と第 2 テスト回路 135 に置き換えたものである。

なお、この物理層デバイス 111A は、テスト回路 134、135 を除く他の部分の構成は、図 6 に示す物理層デバイス 111 の構成と同一であるので、同一の構成要素には同一符号を付してその構成の説明は省略する。

次に、第 1 テスト回路 134 および第 2 テスト回路 135 の詳細な構成について、図 9 を参照して説明する。

第 1 テスト回路 134 は、図 9 に示すように、テストデータ記憶手段としてのレジスタ 341 と、セクタ 342 と、受信用記憶手段としてのレジスタ 343 と、比較器 344 とを備え、レジスタ 341、343 および後述の第 2 テスト回路 135 のレジスタ 351 は、例えば 50 MHz 程度の低速のテスト用クロック CLK により同期動作するようになっている。

レジスタ 341 は、エンコーダ回路 121 から出力されるテストデータを予め記憶しておくようになっている。セクタ 342 は、通常の動作時にはエンコーダ回路 121 の出力データをドライバ 104 に転送し、外部からテストモードが設定されるテスト動作時には、レジスタ 341 に記憶されているテストデータをドライバ 104 に向けて転送するとともに、比較器 344 に転送するようになっている。

レジスタ 343 は、テストモード時に、レシーバ 105 からの受信テ

ストデータを格納するようになっている。比較器 3 4 4 は、テストモード時に、レジスタ 3 4 3 に記憶された受信テストデータをレジスタ 3 4 1 に記憶されているテストデータと比較するとともに、比較器 3 4 4 の出力信号が外部に出力されてモニタされるようになっている。

第 2 テスト回路 1 3 5 は、図 9 に示すように、受信用記憶手段としてのレジスタ 3 5 1 と、比較器 3 5 2 とを備えている。

レジスタ 3 5 1 は、テストモード時に、レシーバ 1 0 7 が受信した受信テストデータを格納するようになっている。比較器 3 5 2 は、テストモード時に、レジスタ 3 5 1 に記憶された受信テストデータをレジスタ 3 4 1 に記憶されているテストデータと比較し、比較器 3 5 2 の出力信号が外部に出力されてモニタされるようになっている。

次に、このような構成からなる第 2 実施形態にかかる第 1 テスト回路 1 3 4 および第 2 テスト回路 1 3 5 がポート 1 0 1 をテストする場合の動作について、図 9 を参照して説明する。

この場合には、テストに先立って、図 9 に示すように、ドライバ 1 0 4 とドライバ 1 0 6 の出力側の + 端子同士を外部配線 1 3 7 により電気的に接続するとともに、ドライバ 1 0 4 とドライバ 1 0 6 の出力側の - 端子同士を外部配線 1 3 8 により電気的に接続する。また、エンコーダ回路 1 2 1 に外部から入力されたパケットデータをエンコードしたテストデータが、レジスタ 3 4 1 に予め記憶されているものとする。

この状態で外部からテストモードが設定されると、セレクタ 3 4 2 により、レジスタ 3 4 1 に記憶されているテストデータがドライバ 1 0 4 に向けて転送されるとともに、比較器 3 4 4 に転送される。

ドライバ 1 0 4 に転送されたテストデータは、ドライバ 1 0 4 で差動信号に変換されて出力される。この差動信号は、レシーバ 1 0 5 で受信されて元のテストデータに変換され、そのテストデータがレジスタ 3 4

3に記憶される。比較器344は、レジスタ343に記憶された受信テストデータをレジスタ341に記憶されているテストデータと比較し、その比較結果にかかる出力信号を外部に出力する。その比較回路344からの出力信号をモニタすることにより、ドライバ104やレシーバ105の動作の良否を判別できる。

一方、ドライバ104から出力される差動信号は、レシーバ107で受信されて元のテストデータに変換され、そのテストデータがレジスタ351に記憶される。比較器352は、レジスタ351に記憶された受信テストデータをレジスタ341に記憶されているテストデータと比較し、その比較結果にかかる出力信号を外部に出力する。その比較回路352からの出力信号をモニタすることにより、レシーバ107の動作の良否を判別できる。

以上の動作は、ポート101にかかるテスト動作であるが、他のポート102、103にかかるテスト動作もそれと同様であるので、その説明は省略する。なお、ポート102、103のテストの場合には、図8に示すように外部配線137、138により外部接続が行われる。

なお、レジスタ341、343、レジスタ351は、例えば50MHz程度の低速のテスト用クロックCLKにより同期動作するようになっている。このため、例えばドライバ104、レシーバ105における遅延が10 $\mu$ Sであったとしても、クロックCLKの周期が20nSであるので、比較器344、352では、受信テストデータとテストデータの比較が容易にできる。従って、第1実施形態の場合に比べて受信のタイミングを気にすることなしに、送信時と受信時のデータの比較ができる。

以上説明したように、この2実施形態にかかるテスト回路によれば、第1テスト回路134によりドライバ104やレシーバ105の動作の

良否が短時間に判別できるとともに、第2テスト回路135によりレシーバ107の動作の良否が短時間に判別できる。

従って、この2実施形態にかかるテスト回路によれば、物理層デバイス111Aのポート101～103のテストを、特殊なテスト環境で行う必要がなくなってテスト時間を短縮でき、もって、物理層デバイス111Aのテストコスト及び製造費用の低減が実現できる。

次に、本発明のテスト回路付き送受信回路の第3実施形態について、図10を参照して説明する。

図10は、第3実施形態のテスト回路付き送受信回路を、IEEE1394インターフェースの物理層デバイス111Bに適用した場合のブロック図である。

この物理層デバイス111Bは、図8に示す物理層デバイス111Aにおけるポート102、103の第1テスト回路134を、図10に示すように第2テスト回路135に置き換えたものである。

なお、この物理層デバイス111Bは、その置換された第2テスト回路135を除く他の部分の構成は、図8に示す物理層デバイス111Aの構成と同一であるので、同一の構成要素には同一符号を付してその構成の説明は省略する。

このような構成からなる物理層デバイス111Bでは、テストのときには、その外部接続は図10に示すようになる。すなわち、各ポート101～103のドライバ104、106の出力側の各+端子は外部配線151により電氣的に接続され、そのドライバ104、106の出力側の各-端子は外部配線152により電氣的に接続される。

そして、ポート101のテストは、物理層デバイス111Aのポート101のテストと同様であるが、ポート102、103についてはそのテストの内容が以下になる。

すなわち、ポート 102、103 のレシーバ 105、107 は、ポート 101 のドライバ 104 からの出力をそれぞれ受信し、この各受信テストデータは第 2 テスト回路 135 のレジスタ 351 に格納される（図 9 参照）。

第 2 テスト回路 135 の各比較器 352 は、その受信テストデータを第 1 テスト回路 134 のレジスタ 341 に記憶されているテストデータと比較し、その比較結果にかかる出力信号を外部に出力する。その比較回路 352 からの出力信号をモニタすることにより、レシーバ 105、107 の動作の良否を判別できる。

従って、この第 3 実施形態のテスト回路によれば、物理層デバイス 11B のポート 101～103 のテストを、特殊なテスト環境で行う必要がなくなってテスト時間を短縮でき、もって、物理層デバイス 111B のテストコスト及び製造費用の低減が実現できる。

次に、本発明のテスト回路付き送受信回路の第 4 実施形態について、図 11 を参照して説明する。

図 11 は、第 4 実施形態のテスト回路付き送受信回路を、IEEE 1394 インターフェースの物理層デバイス 111C に適用したブロック図であり、その物理層デバイス 111C の一部を示す。

この物理層デバイス 111C は、図 9 に示す物理層デバイス 111A の第 1 テスト回路 134 を、図 11 に示すように第 1 テスト回路 134A に置き換えるようにしたものである。

なお、この物理層デバイス 111C は、第 1 テスト回路 134A 以外の第 2 テスト回路 135 等の構成は、図 9 に示す物理層デバイス 111A の構成と同一であるので、同一の構成要素には同一符号を付してその構成の説明は省略する。

第 1 テスト回路 134A は、図 11 に示すように、レジスタ 341、

セクタ 3 4 2、レジスタ 3 4 3、比較器 3 4 4 の他に、切換えスイッチ 3 4 5 を備えるようにしたものである。

切換えスイッチ 3 4 5 は、通常動作はその切換え接点が図 1 1 の位置に固定され、テストの期間中は、当初、その切換え接点が図示の位置にあってレジスタ 3 4 1 に記憶されるテストデータをドライバ 1 0 4 に転送し、その後にその切換え接点が図示とは反対の位置に切り換わり、そのテストデータをドライバ 1 0 6 に転送するようになっている。

レジスタ 3 4 1、セクタ 3 4 2、レジスタ 3 4 3、および比較器 3 4 4 の各構成は、図 1 0 の第 1 テスト回路 1 3 4 と同様であるので、ここではその説明は省略する。

次に、このような構成からなる第 4 実施形態にかかる第 1 テスト回路 1 3 4 A および第 2 テスト回路 1 3 5 がポート 1 をテストする場合の動作について、図 1 1 を参照して説明する。

この場合には、テストに先立って、図 1 1 に示すように、ドライバ 1 0 4 とドライバ 1 0 6 の出力側の + 端子同士を外部配線 1 3 7 により電氣的に接続するとともに、ドライバ 1 0 4 とドライバ 1 0 6 の出力側の - 端子同士を外部配線 1 3 8 により電氣的に接続する。また、エンコーダ回路 1 2 1 に外部から入力されたパケットデータをエンコードしたテストデータが、レジスタ 3 4 1 に予め記憶されているものとする。

この状態で外部からテストモードが設定されると、レジスタ 3 4 1 に記憶されているテストデータは、セクタ 3 4 2 および切換えスイッチ 3 4 5 を経由してドライバ 1 0 4 に転送されるとともに、セクタ 3 4 2 を経由して比較器 3 4 4 に転送される。

ドライバ 1 0 4 に転送されたテストデータは、ドライバ 1 0 4 で差動信号に変換されて出力される。この差動信号は、レシーバ 1 0 5 で受信されて元のテストデータに変換され、そのテストデータがレジスタ 3 4



3に記憶される。比較器344は、レジスタ343に記憶された受信テストデータをレジスタ341に記憶されているテストデータと比較し、その比較結果にかかる出力信号を外部に出力する。その比較回路344からの出力信号をモニタすることにより、ドライバ104やレシーバ105の動作の良否を判別できる。

一方、ドライバ104から出力される差動信号は、レシーバ107で受信されて元のテストデータに変換され、そのテストデータがレジスタ351に記憶される。比較器352は、レジスタ351に記憶された受信テストデータをレジスタ341に記憶されているテストデータと比較し、その比較結果にかかる出力信号を外部に出力する。その比較回路352からの出力信号をモニタすることにより、レシーバ107の動作の良否を判別できる。

次に、スイッチ切換え信号により、切換えスイッチ345はその切換え接点が図11とは反対の位置に切り換わる。このため、レジスタ341に記憶されているテストデータは、セクタ342および切換えスイッチ345を経由してドライバ106に転送される。ドライバ106に転送されたテストデータは、ドライバ106で差動信号に変換されて出力される。

この差動信号は、レシーバ107で受信されて元のテストデータに変換され、そのテストデータがレジスタ351に記憶される。比較器352は、レジスタ351に記憶された受信テストデータをレジスタ341に記憶されているテストデータと比較し、その比較結果にかかる出力信号を外部に出力する。その比較回路352からの出力信号をモニタすることにより、ドライバ106およびレシーバ107の動作の良否を判別できる。

以上説明したように、この4実施形態にかかるテスト回路によれば、

第1テスト回路134Aによりドライバ104やレシーバ105の動作の良否が短時間に判別できるとともに、第2テスト回路135によりドライバ106やレシーバ107の動作の良否が短時間に判別できる。

従って、この4実施形態にかかるテスト回路によれば、物理層デバイス111Cのポート101～103のテストを、特殊なテスト環境で行う必要がなくなってテスト時間を短縮でき、もって、物理層デバイス111Cのテストコスト及び製造費用の低減が実現できる。

#### 産業上の利用可能性

以上述べたように、本発明の物理層デバイスのテスト方法及びテスト回路付き物理層デバイスによれば、物理層デバイスが単体でテストを実現できるので、テストが容易となって、テスト時間の短縮化、テスト費用の低減化を実現することができる。

また、本発明のテスト回路付き送受信回路によれば、送受信の機能をテストするテスト回路を設けるようにしたので、例えば本発明をIEEE1394インターフェースの物理層デバイスのように送受信機能を備えたデバイスに適用した場合には、特殊なテスト環境で行う必要がなくなってテスト時間を短縮でき、もって、テストコストや製造費用の低減が実現できる。

## 請 求 の 範 囲

1. リンク層インターフェースと、このリンク層インターフェースと接続される物理層ロジック回路と、この物理層ロジック回路に接続される複数のポートとを備えた物理層デバイスにおいて、

前記リンク層インターフェースの相手となるテスト用リンク層回路と、前記物理層ロジック回路の相手となるテスト用物理層ロジック回路とを内部に予め設けておき、

テスト時に、前記テスト用リンク層回路を、前記リンク層インターフェースを介して前記物理層ロジック回路と接続し、かつ、前記テスト用物理層ロジック回路を、前記複数のポートを経由して前記物理層ロジック回路に接続し、

前記リンク層インターフェース、前記物理層ロジック回路、および前記複数のポートのテストを行うようにしたことを特徴とする物理層デバイスのテスト方法。

2. リンク層インターフェースと、このリンク層インターフェースと接続される物理層ロジック回路と、この物理層ロジック回路に接続される複数のポートとを備えた物理層デバイスにおいて、

テスト時に、前記リンク層インターフェースを介して前記物理層ロジック回路と接続し、その物理層ロジック回路との間で所定のデータの授受を行うテスト用リンク層回路と、

テスト時に、前記複数のポートを介して前記物理層ロジック回路と接続し、その物理層ロジック回路との間で所定のデータの授受を行うテスト用物理層ロジック回路と、

を備えたことを特徴とするテスト回路付き物理層デバイス。

3. 前記リンク層インターフェースは、外部のリンク層デバイスまたは

09871596-053001

前記テスト用リンク層回路と選択的に接続できるスイッチを含み、

前記複数のポートのうちの所定のポートは、前記物理層ロジック回路または前記テスト用物理層ロジック回路と選択的に接続できるスイッチを含んでいることを特徴とする請求の範囲第2項に記載のテスト回路付き物理層デバイス。

4. ドライバとレシーバとを少なくとも1組備えた送受信回路において、前記ドライバが送信するテストデータを記憶するテストデータ記憶手段と、

前記レシーバが前記ドライバから送信される前記テストデータを受信したときに、その受信テストデータと前記テストデータ記憶手段に記憶されている前記テストデータとを比較する比較手段と、

を備えたことを特徴とするテスト回路付き送受信回路。

5. 前記受信テストデータを記憶する受信用記憶手段を設け、かつ、前記比較手段は、前記受信用記憶手段に記憶された受信テストデータと前記テストデータ記憶手段に記憶されている前記テストデータとを比較するようにしたことを特徴とする請求の範囲第4項に記載のテスト回路付き送受信回路。

6. 前記テストデータ記憶手段と前記受信用記憶手段とはそれぞれレジスタで構成し、この両レジスタは同一のクロックで同期動作するようにしたことを特徴とする請求の範囲第5項に記載のテスト回路付き送受信回路。

7. 1組の第1ドライバおよび第1レシーバと、他の1組の第2ドライバおよび第2レシーバとを少なくとも備えた送受信回路において、

前記第1ドライバが送信するテストデータを記憶するテストデータ記憶手段と、

前記第1レシーバおよび前記第2レシーバが、前記第1ドライバから

送信される前記テストデータをそれぞれ受信したときに、その各受信テストデータと前記テストデータ記憶手段に記憶されている前記テストデータとをそれぞれ比較する比較手段と、

を備えたことを特徴とするテスト回路付き送受信回路。

8. 前記第1レシーバの受信テストデータを記憶する第1受信用記憶手段と、前記第2レシーバの受信テストデータを記憶する第2受信用記憶手段とを設け、

かつ、前記比較手段は、前記第1受信用記憶手段に記憶された受信テストデータと前記テストデータ記憶手段に記憶されているテストデータとを比較する第1比較手段と、前記第2受信用記憶手段に記憶された受信テストデータと前記テストデータ記憶手段に記憶されているテストデータとを比較する第2比較手段と、からなることを特徴とする請求の範囲第7項に記載のテスト回路付き送受信回路。

9. 前記テストデータ記憶手段、前記第1受信用記憶手段、および前記第2受信用記憶手段はそれぞれレジスタで構成し、これらのレジスタは同一のクロックで同期動作するようにしたことを特徴とする請求の範囲第8項に記載のテスト回路付き送受信回路。

10. 1組の第1ドライバおよび第1レシーバと、他の1組の第2ドライバおよび第2レシーバとを少なくとも備えた送受信回路において、

テストデータを記憶するテストデータ記憶手段と、

前記テストデータを前記第1ドライバまたは前記第2ドライバに入力するのを選択する選択手段と、

前記第1レシーバおよび前記第2レシーバが、前記第1ドライバから送信される前記テストデータをそれぞれ受信したときに、その各受信テストデータと前記テストデータ記憶手段に記憶されている前記テストデータとをそれぞれ比較する一方、前記第2レシーバが、前記第2ドライ

バから送信される前記テストデータを受信したときに、その受信テストデータと前記テストデータ記憶手段に記憶されている前記テストデータとを比較する比較手段と、

を備えたことを特徴とするテスト回路付き送受信回路。

11. 前記第1レシーバの受信テストデータを記憶する第1受信用記憶手段と、前記第2レシーバの受信テストデータを記憶する第2受信用記憶手段とを設け、

かつ、前記比較手段は、前記第1受信用記憶手段に記憶された受信テストデータと前記テストデータ記憶手段に記憶されているテストデータとを比較する第1比較手段と、前記第2受信用記憶手段に記憶された受信テストデータと前記テストデータ記憶手段に記憶されているテストデータとを比較する第2比較手段と、からなることを特徴とする請求の範囲第10項に記載のテスト回路付き送受信回路。

12. 前記テストデータ記憶手段、前記第1受信用記憶手段、および前記第2受信用記憶手段はそれぞれレジスタで構成し、これらのレジスタは同一のクロックで同期動作するようにしたことを特徴とする請求の範囲第11項に記載のテスト回路付き送受信回路。

13. 前記送受信回路は、IEEE 1394インターフェースの物理層デバイスであることを特徴とする請求の範囲第4項乃至請求の範囲第12項のいずれかに記載のテスト回路付き送受信回路。

## 要 約 書

この物理層デバイス 2 1 は、リンク層インターフェース 2、物理層ロジック回路 3、およびポート 4～6 の他に、物理層ロジック回路 3 とポート 4～6 の動作をテストするために、テスト用リンク層回路 2 2、テスト用物理層ロジック回路 2 3、およびスイッチ 2 4～2 6 を内部に備えている。テスト時には、ポート 4～6 はケーブル 2 7 により外部接続されるとともに、スイッチ 2 4～2 6 の接点が切り換わる。これにより、物理層ロジック回路 3 は、テスト用リンク層回路 2 2 と接続され、ポート 5、6 はテスト用物理層ロジック回路 2 3 と接続される。この発明によれば、物理層デバイス単体でテストでき、テスト時間の短縮化、テスト費用の低減化が実現できる

FOOESD-965T/860